



PATENT APPLICATION

In re the Application of

Shin FUJITA

Group Art Unit: Unknown

Application No.: 10/629,590

Examiner: Unknown

Filed: July 30, 2003

Docket No.: 116725

For: TIMING ADJUSTMENT CIRCUIT, DRIVE CIRCUIT, ELECTROOPTIC DEVICE
AND ELECTRONIC EQUIPMENT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-233881 filed August 9, 2002.

In support of this claim, a certified copy of said original foreign application:

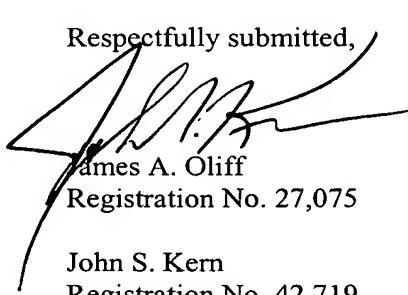
X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

John S. Kern
Registration No. 42,719

JAO:JSK/kap

Date: October 20, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 8月 9日

出願番号

Application Number:

特願2002-233881

[ST.10/C]:

[JP2002-233881]

出願人

Applicant(s):

セイコーエプソン株式会社

2003年 6月 26日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3050780

【書類名】 特許願
 【整理番号】 J0092715
 【提出日】 平成14年 8月 9日
 【あて先】 特許庁長官殿
 【国際特許分類】 G02F 1/133
 G09G 3/36
 G09G 3/30

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内

【氏名】 藤田 伸

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーホームズ株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅裕

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤岡 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング調整回路、駆動回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項1】 ハイレベルで有効となる入力正論理信号とローレベルで有効となる入力負論理信号とが供給され、両信号の位相差を減少させた出力正論理信号と出力負論理信号とを生成するタイミング調整回路であって、

前記入力正論理信号と前記入力負論理信号とのうち、いずれか一方の信号に基づいて基準信号を生成し、他方の信号に基づいて補正対象信号を生成する信号生成部と、

前記基準信号に基づいて前記補正対象信号を補正する補正部とを備え、

前記基準信号を、前記出力正論理信号または前記出力負論理信号の一方として出力するとともに、前記補正対象信号を前記第1補正回路および前記第2補正回路によって補正した信号を前記出力正論理信号または前記出力負論理信号の他方として出力する

ことを特徴とするタイミング調整回路。

【請求項2】 前記補正部は、

前記基準信号の立ち上がりエッジに基づいて前記補正対象信号の立ち下がりエッジのタイミングを補正する第1補正部と、

前記基準信号の立ち下がりエッジに基づいて前記補正対象信号の立ち上がりエッジのタイミングを補正する第2補正部とを備えることを特徴とするタイミング調整回路。

【請求項3】 前記第1補正部および前記第2補正部のいずれか一方は NAND回路であり、他方はノア回路であることを特徴とする請求項2に記載のタイミング調整回路。

【請求項4】 前記基準信号が供給される第1配線と、

前記補正対象信号が供給される第2配線とを備え、

前記 NAND回路の一方の入力端子は前記第1配線に接続され、他方の入力端子は前記第2配線に接続され、前記 NAND回路の出力端子は前記第2配線に接続され、

前記ノア回路の一方の入力端子は前記第1配線に接続され、他方の入力端子は前記第2配線に接続され、前記ノア回路の出力端子は前記第2配線に接続されることを特徴とする請求項3に記載のタイミング調整回路。

【請求項5】 前記基準信号は前記補正対象信号に対して位相が進んでいることを特徴とする請求項2乃至4のうちいずれか1項に記載のタイミング調整回路。

【請求項6】 前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となり、

前記第1補正回路は前記 NAND 回路であり、

前記第2補正回路は前記ノア回路である

ことを特徴とする請求項5に記載のタイミング調整回路。

【請求項7】 前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、

前記第1補正回路は前記ノア回路であり、

前記第2補正回路は前記 NAND 回路である

ことを特徴とする請求項5に記載のタイミング調整回路。

【請求項8】 前記基準信号は前記補正対象信号に対して位相が遅れいることを特徴とする請求項2乃至4のうちいずれか1項に記載のタイミング調整回路。

【請求項9】 前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となり、

前記第1補正回路は前記ノア回路であり、

前記第2補正回路は前記 NAND 回路である

ことを特徴とする請求項8に記載のタイミング調整回路。

【請求項10】 前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、

前記第1補正回路は前記 NAND 回路であり、

前記第2補正回路は前記ノア回路である

ことを特徴とする請求項8に記載のタイミング調整回路。

【請求項11】 前記信号生成部は、前記入力正論理信号と前記入力負論理信号とのうちいずれか一方の信号を反転して前記基準信号を生成する第1反転回路と、他方の信号を反転して前記補正対象信号とを生成する第2反転回路とを備えたことを特徴とする請求項1乃至10のうちいずれか1項に記載したタイミング調整回路。

【請求項12】 前記入力正論理信号と前記入力負論理信号との替わりに1個の入力信号が前記信号生成部に供給され、

前記信号生成部は、前記入力信号に基づいて前記基準信号と前記補正対象信号とを生成することを特徴とする請求項1乃至7のうちいずれか1項に記載したタイミング調整回路。

【請求項13】 前記信号生成部は、

前記入力信号を1回以上反転して前記基準信号を生成する第1反転回路と、前記入力信号を前記第1反転回路の反転回数より多く反転して前記補正対象信号を生成する第2反転回路と
を備えることを特徴とする請求項12に記載のタイミング調整回路。

【請求項14】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動する駆動回路であって、
請求項1乃至13のうちいずれか1項に記載したタイミング調整回路を含み、
前記タイミング調整回路を用いて所定の信号のタイミングを調整する

ことを特徴とする駆動回路。

【請求項15】 複数の走査線と、

複数のデータ線と、
前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、
請求項14に記載した駆動回路と
を備えた電気光学装置。

【請求項16】 請求項15に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力正論理信号と入力負論理信号との位相差を減少させた出力正論理信号と出力負論理信号とを生成するタイミング調整回路、駆動回路、電気光学装置および電子機器に関する。

【0002】

【従来の技術】

電子回路では、ハイレベルでアクティブとなる正論理信号とこれを反転した負論理信号とを用いて、信号処理が行われることがある。代表的なものとしては、クロック信号と反転クロック信号とを用いて入力パルスを順次シフトするシフトレジスタが該当する。

【0003】

このように2相の信号を用いて動作する電子回路は、正論理信号と負論理信号との間には遅延がないことが理想である。しかし、正論理信号と負論理信号との生成過程や配線の引き回し等によって両信号間に遅延が発生することが多い。例えば、一個の正論理信号から負論理信号を生成するためにインバータを用いると、負論理信号は、インバータの伝播遅延時間だけ正論理信号に対して遅延する。また、仮に、信号間に遅延がない正論理信号と負論理信号とを生成できたとしても、生成回路からこれらの信号を用いる回路までの配線距離や経路が異なると、配線容量の影響を受けて、一方の信号が他方の信号に対して遅延する。

【0004】

そこで、正論理信号と負論理信号との間の遅延時間を減少させるべく、図12に示すタイミング調整回路が用いられることがある。このタイミング調整回路は、6個のインバータINV1～INV6から構成される。そして、入力正論理信号PinがインバータINV1に供給される一方、入力負論理信号NinがインバータINV4に供給される。インバータINV1～INV4はバッファ回路として機能し、インバータINV2から出力正論理信号Putが出力されるとともにインバータINV3から出力負論理信号Notが出力されるようになって

いる。そして、配線 L_p と配線 L_n の間にはインバータ INV_5 とインバータ INV_6 とが逆向きに接続されている。

【0005】

図13は、従来のタイミング調整回路の動作を示すタイミングチャートである。この例では、入力負論理信号 N_{in} が入力正論理信号 P_{in} に対して時間 T だけ遅延しているものとする。図に示す (A) は、点 Q_p と点 Q_n において、インバータ INV_1 および INV_2 を後段の回路と切り離した場合のインバータ INV_1 の出力信号 P_1 であり、(B) は点 Q_p と点 Q_n において、インバータ INV_1 および INV_2 を後段の回路と切り離した場合のインバータ INV_4 の出力信号 N_1 である。信号 P_1 と信号 N_1 とを比較すると信号 N_1 は信号 P_1 に対して時間 T_1 だけ遅延していることが分かる。

【0006】

ここで、点 Q_p と点 Q_n において、インバータ INV_1 および INV_2 を後段の回路と接続したとすると、信号 P_1 の波形は同図 (C) に示す信号 P_1' に変化する一方、信号 Q_1 の波形は同図 (D) に示す信号 Q_1' に変化する。

【0007】

これは、インバータ INV_5 および INV_6 が配線 L_p と配線 L_n との間にリング状に接続されているため、インバータ INV_6 の出力信号とインバータ INV_1 の出力信号とが配線 L_p 上で合成され、インバータ INV_5 の出力信号とインバータ INV_4 の出力信号とが配線 L_n 上で合成されるからである。すなわち、配線 L_p および配線 L_n 上で一方の信号と他方の信号が相互に影響しあい、出力タイミングを遅延させていきながら両信号のタイミングが調整される。この結果、信号 P_1' と信号 Q_1' との位相差は時間 T_2 となり、時間 T_1 から減少する。

【0008】

【発明が解決しようとする課題】

しかしながら、従来のタイミング調整回路にあっては、インバータ INV_5 および INV_6 を信号が通過すると、必ず遅延が発生するから、点 Q_p と点 Q_n において、インバータ INV_1 および INV_2 を後段の回路と接続する前後で必ず

遅延が発生する。

【0009】

例えば、補正後の信号P_{1'}の立ち下がりエッジP_{E1'}に着目すると、立ち下がりエッジP_{E1'}は、信号P₁の立ち下がりエッジP_{E1}と、信号Q₁の立ち上がりエッジQ_{E1}がインバータINV6によって反転されたものとが合成されることによって得られる。このため、立ち下がりエッジP_{E1'}は、信号P₁の立ち下がりエッジP_{E1}に対して時間t₁だけ遅延する。

【0010】

そして、この遅延時間t₁は、インバータINV1およびINV4～INV6を構成するトランジスタの特性、および、入力正論理信号P_{in}と入力負論理信号N_{in}との位相差等によって定まる。したがって、遅延時間t₁を予め見積もることが困難である。

【0011】

デジタルシステムの設計は、誤動作がないように信号の遅延を考慮して行うのが通常である。この場合、各回路の遅延時間を見積もることが必要となるが、上述のように従来のタイミング調整回路では、遅延時間の見積もりが困難であるから、システム設計に支障をきたし、使い勝手が悪いといった問題があった。

【0012】

本発明は、上述した事情に鑑みてなされたものであり、遅延時間を見積もることができるタイミング調整回路を提供することを課題とする。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明に係るタイミング調整回路は、ハイレベルで有効となる入力正論理信号とローレベルで有効となる入力負論理信号とが供給され、両信号の位相差を減少させた出力正論理信号と出力負論理信号とを生成するものであって、前記入力正論理信号と前記入力負論理信号とのうち、いずれか一方の信号に基づいて基準信号を生成し、他方の信号に基づいて補正対象信号を生成する信号生成部と、前記基準信号に基づいて前記補正対象信号を補正する補正部とを備え、前記基準信号を、前記出力正論理信号または前記出力負論理信号

の一方として出力するとともに、前記補正対象信号を前記第1補正回路および前記第2補正回路によって補正した信号を前記出力正論理信号または前記出力負論理信号の他方として出力することを特徴とする。

【0014】

この発明によれば、補正対象信号は基準信号に基づいて補正される一方、基準信号はそのまま出力されるので、基準信号が遅延されることはない。したがって、出力正論理信号と出力負論理信号の遅延時間を容易に見積もることが可能となる。この結果、タイミング調整回路を組み込んだデジタルシステムの設計が容易となる。

【0015】

ここで、前記補正部は、前記基準信号の立ち上がりエッジに基づいて前記補正対象信号の立ち下がりエッジのタイミングを補正する第1補正部と、前記基準信号の立ち下がりエッジに基づいて前記補正対象信号の立ち上がりエッジのタイミングを補正する第2補正部とを備えることが望ましい。この発明によれば、基準信号の立ち上がりと補正対象信号の立ち下がりを揃えることができるとともに、基準信号の立ち下がりと補正対象信号の立ち上がりを揃えることができる。

【0016】

具体的には、前記第1補正部および前記第2補正部のいずれか一方は NAND 回路であり、他方はノア回路であることが好ましい。さらに、NAND回路とノア回路を備える場合には、前記基準信号が供給される第1配線と、前記補正対象信号が供給される第2配線とを備え、前記NAND回路の一方の入力端子は前記第1配線に接続され、他方の入力端子は前記第2配線に接続され、前記NAND回路の出力端子は前記第2配線に接続され、前記ノア回路の一方の入力端子は前記第1配線に接続され、他方の入力端子は前記第2配線に接続され、前記ノア回路の出力端子は前記第2配線に接続されることが好ましい。

【0017】

また、前記基準信号は前記補正対象信号に対して位相が進んでいてもよく、その場合に、前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となるならば、前記第1補正回路は前記NAND回路であり、前記

第2補正回路は前記ノア回路であることが好ましい。さらに、前記基準信号は前記補正対象信号に対して位相が進んでいてもよく、その場合に、前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となり、前記第1補正回路は前記ノア回路であり、前記第2補正回路は前記 NAND 回路であることが好ましい。

【0018】

一方、前記基準信号は前記補正対象信号に対して位相が遅れていても良く、その場合に、前記基準信号はハイレベルで有効となる一方、前記補正対象信号はローレベルで有効となるならば、前記第1補正回路は前記ノア回路であり、前記第2補正回路は前記 NAND 回路であることが好ましい。さらに、前記基準信号は前記補正対象信号に対して位相が遅れていても良く、その場合に、前記基準信号はローレベルで有効となる一方、前記補正対象信号はハイレベルで有効となるならば、前記第1補正回路は前記 NAND 回路であり、前記第2補正回路は前記ノア回路であることが好ましい。

【0019】

次に、上述したタイミング調整回路にあっては、前記信号生成部は、前記入力正論理信号と前記入力負論理信号とのうちいずれか一方の信号を反転して前記基準信号を生成する第1反転回路と、他方の信号を反転して前記補正対象信号とを生成する第2反転回路とを備えることが好ましい。この場合には、2入力2出力タイプのタイミング調整回路が構成される。

【0020】

さらに、前記入力正論理信号と前記入力負論理信号との替わりに1個の入力信号が前記信号生成部に供給され、前記信号生成部は、前記入力信号に基づいて前記基準信号と前記補正対象信号とを生成するものであってもよい。この場合には、1入力2出力タイプのタイミング調整回路が構成されることになる。

【0021】

より具体的には、前記信号生成部は、前記入力信号を1回以上反転して前記基準信号を生成する第1反転回路と、前記入力信号を前記第1反転回路の反転回数より多く反転して前記補正対象信号を生成する第2反転回路とを備えればよく、

例えば、第1反転回路を1個のインバータで構成し、第2反転回路を2個のインバータで構成してもよい。

【0022】

次に、本発明に係る駆動回路は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子とを有する電気光学装置を駆動するものであって、上述したタイミング調整回路を含み、前記タイミング調整回路を用いて所定の信号のタイミングを調整することが好ましい。駆動回路としては、例えば、データ線駆動回路、走査線駆動回路が含まれる。

【0023】

次に、本発明に係る電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応してマトリックス状に配置された画素電極およびスイッチング素子と、上述した駆動回路とを備える。この電気光学装置によれば、駆動回路における遅延時間の見積もりが容易であるから、誤動作のない設計を容易にすることができる。

【0024】

次に、本発明の電子機器は、上述した電気光学装置を備えることを特徴とするものであり、例えば、ビデオカメラに用いられるビューファインダ、携帯電話機、ノート型コンピュータ、ビデオプロジェクタ等が該当する。

【0025】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。

<1：タイミング調整回路の構成>

【0026】

図1は、タイミング調整回路10の回路図である。この図に示すタイミング調整回路10は、4個のインバータINV1～INV4と、 NAND回路11と、ノア回路12とを備える。

【0027】

インバータINV1は、入力正論理信号Pinを反転して基準信号Rとして出

力する一方、インバータINV2は入力負論理信号N_{i n}を反転して補正対象信号Hとして出力する。

【0028】

インバータINV1の出力端子は配線L_pを介してインバータINV2の入力端子と接続されており、インバータINV4の出力端子は配線L_nを介してインバータINV3の入力端子と接続されている。そして、インバータINV2から出力正論理信号P_{out}が出力される一方、インバータINV3から出力負論理信号N_{out}が出力される。

【0029】

NAND回路11の一方の入力端子は配線L_pに接続され、他方の入力端子は配線L_nに接続され、その出力端子は配線L_nに接続される。また、ノア回路12の一方の入力端子は配線L_pに接続され、他方の入力端子は配線L_nに接続され、その出力端子は配線L_nに接続される。

【0030】

このような構成において、インバータINV1およびインバータINV4は、入力正論理信号P_{i n}および入力負論理信号N_{i n}に基づいて、基準信号Rおよび補正対象信号Hを生成する信号生成部として機能する。

【0031】

そして、基準信号Rは、配線L_pを介して伝送されるので、その過程において遅延を生ずることはない。一方、補正対象信号Hは、 NAND回路11およびノア回路12によって、基準信号Rの影響を受け、位相が補正されることになる。換言すれば、基準信号Rは補正対象信号Hの影響を受けることなく伝送され、補正対象信号Hのみが基準信号Rに基づいて補正される。なお、図1に示すタイミング調整回路10において、点線で囲まれた部分がタイミングの補正に係る部分であるから、発明としては、インバータINV1およびINV4と点線で囲まれた部分とをタイミング調整回路として捕らえてもよいし、点線で囲まれた部分とインバータINV2およびINV3とをタイミング調整回路として捕らえてもよいし、あるいは点線で囲まれた部分のみをタイミング調整回路として捕らえてもよい。

【0032】

<2：タイミング調整回路の動作>

【0033】

次に、タイミング調整回路の動作について説明する。図2は、タイミング調整回路10の動作を説明するためのタイミングチャートである。この例では、入力負論理信号 N_{in} が入力正論理信号 P_{in} に対して時間 T_1 だけ遅延しているものとする。すなわち、基準信号Rがローレベルでアクティブとなり、基準信号Rの位相が補正対象信号Hに対して位相が進んでいる。

【0034】

図示した補正対象信号Hの波形において点線で示した波形は、点 Q_n においてインバータINV4を後段の回路から切り離した場合の波形である。

【0035】

時刻 t_1 において基準信号Rの論理レベルがハイレベルからローレベルに遷移したとき、ノア回路12の入力信号はともにローレベルとなるので、その出力信号はハイレベルとなる。ここで、ノア回路12の伝播遅延時間を Δt_a とすれば、時刻 $t_1 + \Delta t_a$ において、補正対象信号Hはローレベルからハイレベルに遷移する。すなわち、この例において、ノア回路12は、基準信号Rの立ち下がりエッジDE1に基づいて、補正対象信号Hの立ち上がりエッジUE1を補正する補正回路として機能する。

【0036】

そして、時刻 t_2 において、基準信号Rがローレベルからハイレベルに遷移すると、 NAND回路11の入力信号はともにハイレベルになるから、その出力信号はローレベルとなる。ここで、 NAND回路11の伝播遅延時間を Δt_b とすれば、時刻 $t_2 + \Delta t_b$ において、補正対象信号Hはハイレベルからローレベルに遷移する。すなわち、この例において、 NAND回路11は、基準信号Rの立ち上りエッジUE1に基づいて、補正対象信号Hの立ち下がりエッジDE2を補正する補正回路として機能する。

【0037】

このように、補正前の立ち上がりエッジUE2'を時間 $T_1 - \Delta t_a$ だけ早め

て補正後の立ち上がりエッジU E 2とするとことができるとともに、補正前の立ち下がりエッジD E 2'を時間T 1 - Δ t bだけ早めて補正後の立ち下がりエッジD E 2を発生させることができる。

【0038】

したがって、基準信号Rは全く遅延させることなく、補正対象信号Hの位相を補正することができる。つまり、基準信号Rに対応する入力正論理信号P i nがタイミング調整回路10に入力されてから、出力正論理信号P o u tとして出力される時間は、単にインバータINV1およびINV2の伝播遅延時間の合計で定まる。また、出力負論理信号N o u tは、入力負論理信号N i nと入力正論理信号P i nとの位相差とは無関係に、出力正論理信号P o u tから所定時間だけ遅延する。ここで、インバータINV1～INV4の伝播遅延時間が等しく、 NAND回路11の遅延時間Δ t bがノア回路12の遅延時間Δ t aと等しいとすれば、出力負論理信号N o u tは出力正論理信号P o u tに比較して、時間Δ t aだけ遅れることになる。

【0039】

したがって、このタイミング調整回路10によれば、遅延時間を容易に見積もることができるのであるから、デジタルシステムの一部に取り込んでもシステム全体を安定して動作させることが可能となる。

【0040】

次に、基準信号Rがローレベルでアクティブとなり、基準信号Rの位相が補正対象信号Hに対して遅れている場合について説明する。図3にタイミング調整回路10のタイミングチャートを示す。

【0041】

この場合には、時刻t 1において補正対象信号Hの論理レベルがローレベルからハイレベルに遷移したとき、 NAND回路11の入力信号はともにハイレベルとなるので、その出力信号はローレベルとなる。したがって、 NAND回路11は基準信号Rの立ち下がりエッジD E 1に基づいて、補正対象信号Hの立ち上がりエッジU E 1'を補正して立ち上がりエッジU E 1を生成する補正回路として機能する。

【0042】

そして、時刻 t_2 において、基準信号 R がハイレベルからローレベルに遷移すると、ノア回路 1 2 の入力信号はともにローレベルになるから、その出力信号はハイレベルとなる。したがって、ノア回路 1 2 は、基準信号 R の立ち上りエッジ U E 1 に基づいて、補正対象信号 H の立ち下がりエッジ D E 2' を補正して立ち下がりエッジ D E 2 を生成する補正回路として機能する。

【0043】

次に、インバータ INV 1 に入力負論理信号 N i n が供給される一方、インバータ INV 4 に入力正論理信号 P i n が供給され、入力負論理信号 N i n の位相が入力正論理信号 P i n に対して進んでいる場合について説明する。この場合、基準信号 R はハイレベルでアクティブとなり、補正対象信号 H はローレベルでアクティブとなる。図 4 にタイミング調整回路 1 0 のタイミングチャートを示す。

【0044】

この場合には、時刻 t_1 において基準信号 R の論理レベルがローレベルからハイレベルに遷移したとき、 NAND 回路 1 1 の入力信号はともにハイレベルとなるので、その出力信号はローレベルとなる。したがって、 NAND 回路 1 1 は基準信号 R の立ち上りエッジ U E 1 に基づいて、補正対象信号 H の立ち下がりエッジ D E 2' を補正して立ち下がりエッジ D E 2 を発生させる補正回路として機能する。

【0045】

そして、時刻 t_2 において、基準信号 R がハイレベルからローレベルに遷移すると、ノア回路 1 2 の入力信号はともにローレベルになるから、その出力信号はハイレベルとなる。したがって、ノア回路 1 2 は、基準信号 R の立ち下がりエッジ D E 1 に基づいて、補正対象信号 H の立ち上がりエッジ U E 2' を補正して立ち上がりエッジ U E 2 を発生させる補正回路として機能する。

【0046】

次に、インバータ INV 1 に入力負論理信号 N i n が供給される一方、インバータ INV 4 に入力正論理信号 P i n が供給され、入力負論理信号 N i n の位相が入力正論理信号 P i n に対して送れている場合について説明する。この場合、基

準信号Rはローレベルでアクティブとなり、補正対象信号Hはハイレベルでアクティブとなる。図5にタイミング調整回路10のタイミングチャートを示す。

【0047】

この場合には、時刻t1において補正対象信号Hの論理レベルがハイレベルからローレベルに遷移しようとすると、ノア回路12の入力信号はともにローレベルとなるので、その出力信号はハイレベルとなる。したがって、ノア回路12は基準信号Rの立ち上りエッジUE1に基づいて、補正対象信号Hの立ち下がりエッジDE2'を補正して立ち下がりエッジDE2を発生させる補正回路として機能する。

【0048】

そして、時刻t2において、補正対象信号Hがローレベルからハイレベルに遷移しようとすると、 NAND回路11の入力信号はともにハイレベルになるから、その出力信号はローレベルとなる。したがって、 NAND回路11は、基準信号Rの立ち下がりエッジDE1に基づいて、補正対象信号Hの立ち上がりエッジUE2'を補正して立ち上がりエッジUE2を発生させる補正回路として機能する。

【0049】

<3：タイミング調整回路の他の構成例>

【0050】

次に、タイミング調整回路の他の構成例について説明する。上述したタイミング調整回路10は2入力2出力タイプであったが、この構成例は1入力2出力タイプである。図6にタイミング調整回路20の回路図を示す。このタイミング調整回路20は、インバータINV1の入力端子とインバータINV4の入力端子との間にインバータINV7を設け、入力正論理信号Pinをインバータ7で反転してインバータINV4に供給している。

【0051】

したがって、インバータINV4の入力信号は、入力正論理信号Pinに対してインバータINV7の伝播遅延時間だけ、遅延したものとなっている。このタイミング調整回路20の補正動作は、図2に示すタイミング調整回路10の動作と同様である。また、インバータINV1に入力負論理信号Ninが供給された

場合の補正動作は、図4に示すタイミング調整回路10の動作と同様である。

【0052】

このタイミング調整回路20によれば、1相の入力信号に基づいて、正負論理関係にある2相の出力信号を生成することができるとともに、入力信号を基準として遅延時間を容易に見積もることができる。この結果、デジタルシステムの一部に取り込んでもシステム全体を安定して動作させることが可能となる。

【0053】

<4：液晶装置>

【0054】

次に、上述したタイミング調整回路10および20を液晶装置に適用した例について説明する。液晶装置は、電気光学材料として液晶を用いた電気光学装置である。液晶装置は、主要部として液晶パネルAAを備える。液晶パネルAAは、スイッチング素子として薄膜トランジスタ（Thin Film Transistor：以下、「TFT」と称する）を形成した素子基板と対向基板とを互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付し、この間隙に液晶が挟持されている。

【0055】

図7は実施形態に係る液晶装置の全体構成を示すブロック図である。この液晶装置は、液晶パネルAA、タイミング発生回路300および画像処理回路400を備える。液晶パネルAAは、その素子基板上に画像表示領域A、走査線駆動回路100、データ線駆動回路200、サンプリング回路240および画像信号供給線L1を備える。この例では、データ線駆動回路200に上述したタイミング調整回路10および20が組み込まれている。

【0056】

この液晶装置に供給される入力画像データDは、例えば、3ビットパラレルの形式である。タイミング発生回路300は、入力画像データDに同期してYクロック信号YCK、Xクロック信号XCK、Y転送開始パルスDY、X転送開始パルスDXを生成して、走査線駆動回路100およびデータ線駆動回路200に供給する。また、タイミング発生回路300は、画像処理回路400を制御する各種のタイミング信号を生成し、これを出力する。

【0057】

ここで、Yクロック信号YCKは、走査線2を選択する期間を特定する信号である。Xクロック信号XCKは、データ線3を選択する期間を特定する。また、Y転送開始パルスDYは走査線2の選択開始を指示するパルスであり、一方、X転送開始パルスDXはデータ線3の選択開始を指示するパルスである。

【0058】

画像処理回路400は、入力画像データDに、液晶パネルの光透過特性を考慮したガンマ補正等を施した後、画像データをD/A変換して、画像信号40を生成して液晶パネルAAに供給する。なお、この例では、説明を簡略化するため、画像信号40の白黒の諧調を表すものとするが、本発明はこれに限定されるものではなく、画像信号40をRGB各色に対応するR信号、G信号、およびB信号から構成してもよい。この場合には、画像信号供給線を3本設ければよい。

【0059】

次に、画像表示領域Aには、図7に示されるように、m(mは2以上の自然数)本の走査線2が、X方向に沿って平行に配列して形成される一方、n(nは2以上の自然数)本のデータ線3が、Y方向に沿って平行に配列して形成されている。そして、走査線2とデータ線3との交差付近においては、TFT50のゲートが走査線2に接続される一方、TFT50のソースがデータ線3に接続されるとともに、TFT50のドレインが画素電極6に接続される。そして、各画素は、画素電極6と、対向基板に形成される対向電極と、これら両電極間に挟持された液晶とによって構成される。この結果、走査線2とデータ線3との各交差に対応して、画素はマトリクス状に配列されることとなる。

【0060】

また、TFT50のゲートが接続される各走査線2には、走査信号Y1、Y2、…、Ymが、パルス的に線順次で印加されるようになっている。このため、ある走査線2に走査信号が供給されると、当該走査線に接続されるTFT50がオンするので、データ線3から所定のタイミングで供給されるデータ線信号X1、X2、…、Xnは、対応する画素に順番に書き込まれた後、所定の期間保持されることとなる。

【0061】

各画素に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【0062】

また、保持された画像信号がリークするのを防ぐために、蓄積容量51が、画素電極6と対向電極との間に形成される液晶容量と並列に付加される。例えば、画素電極6の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量51により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【0063】

次に、データ線駆動回路200は、Xクロック信号XCKに同期して順次アクティブとなるサンプリング信号を生成する。サンプリング信号は2個で1組の信号であり、ある組のサンプリング信号はハイレベルでアクティブ（有効）となる正サンプリング信号とこれを反転したローレベルでアクティブとなる負サンプリング信号とからなる。そして、各組の正サンプリング信号Sa1～Sa_nは排他的にアクティブとなり、各組の負サンプリング信号Sb1～Sb_nは排他的にアクティブとなる。具体的には、サンプリング信号はSa1, Sb1→Sa2, Sb2→…Sa_n, Sb_nの順にアクティブとなる。

【0064】

サンプリング回路240は、n個のトランスマルチゲートSW1～SW_nを備える（図示略）。各トランスマルチゲートSW1～SW_nは、相補型のTFTによって構成されており、正サンプリング信号Sa1～Sa_nおよび負サンプリング信号Sb1～Sb_nによって制御される。そして、各サンプリング信号Sa1～Sa_nおよびSb1～Sb_nが順次アクティブになると、各トランスマルチゲートSW1～SW_nが順次オン状態となる。すると、画像信号供給線L1を介し

て供給される画像信号40がサンプリングされ、各データ線3に順次供給される。

【0065】

図8は、データ線駆動回路200の構成を示すブロック図である。図に示すようにデータ線駆動回路200は、シフトレジスタ部210と出力信号制御部220との他、タイミング調整回路10および20を含んでいる。

【0066】

タイミング調整回路20はタイミング発生回路300から供給されるXクロック信号XCKに基づいて、Xクロック信号XCK' と反転Xクロック信号XCKB' とを生成する。

【0067】

次に、シフトレジスタ部210は、縦続接続されたシフトレジスタ単位回路Ua1～Uan+2を含む。各シフトレジスタ単位回路Ua1～Uan+2は、Xクロック信号XCK' と反転Xクロック信号XCKB' に基づいて、開始パルスDXを順次転送する。開始パルスDXを確実に転送するためには、開始パルスDXとXクロック信号XCK' および反転Xクロック信号XCKB' との位相差を管理する必要がある。上述したようにXクロック信号XCKを基準としたとき、Xクロック信号XCK' と反転Xクロック信号XCKB' との遅延時間は容易に見積もることができるから、タイミング発生回路400で発生させる開始パルスDXとXクロック信号XCKとのタイミングを容易に定めることができる。

【0068】

また、タイミング発生回路400から液晶パネルAAに单一相のXクロック信号XCKのみを供給すればよいから、配線の数を減らすことができ、さらに、信号駆動のために消費される電力を削減することができる。

【0069】

出力信号制御部220は、n+1個の演算単位回路Ub1～Ub n+1を備える。演算単位回路Ub1～Ub nはシフトレジスタ単位回路Ua2～Uan+2に対応して各々設けられており、シフトレジスタ単位回路Ua1～Uan+2の各出力信号と次段の演算単位回路Ub1～Ub nに基づいて、正サンプリング信

号 $S_{a1}' \sim S_{an}'$ と負サンプリング信号 $S_{b1}' \sim S_{bn}'$ とを生成する。正サンプリング信号 $S_{a1}' \sim S_{an}'$ と負サンプリング信号 $S_{b1}' \sim S_{bn}'$ とは正負論理関係にある信号であるが、位相が若干ずれている。

【0070】

各タイミング調整回路10は、正・負サンプリング信号の組 S_{a1}', S_{b1}' 、 S_{a2}', S_{b2}' 、…、 S_{an}', S_{bn}' の位相を調整して正サンプリング信号 $S_{a1} \sim S_{an}$ と負サンプリング信号 $S_{b1} \sim S_{bn}$ とを生成する。

【0071】

このとき、正サンプリング信号 S_{a1} と負サンプリング信号 S_{b1} との位相はほぼ一致するので、サンプリング回路240のトランスマルチплексор SW1 を確実にオン・オフさせることができる。

【0072】

また、正サンプリング信号 $S_{a1} \sim S_{an}$ と負サンプリング信号 $S_{b1} \sim S_{bn}$ との遅延時間は確実に見積もることができるから、画像信号供給線 L1 に供給する画像信号40とのタイミングを正確に定めることができる。この結果、高精度で鮮明な画像を表示することが可能となる。

【0073】

次に、走査線駆動回路100は、タイミング調整回路20、シフトレジスタ、レベルシフタおよびバッファ等を備えている。タイミング調整回路20は、Yクロック信号 YCK に基づいて、Yクロック信号 YCK' および反転 Yクロック信号 YCKB' を生成するようになっている。シフトレジスタは Yクロック信号 YCK' および反転 Yクロック信号 YCKB' に同期して、Y転送開始パルス DY を転送して順次アクティブとなる信号を生成する。そして、シフトレジスタの各出力信号は TFT50 のオン・オフを制御できるようにレベルシフタによってレベル変換されるとともに、バッファによって電流増幅され、各走査信号 Y1 ~ YM として各走査線2に供給される。

【0074】

走査線駆動回路100にタイミング調整回路20を組み込むことによって、タイミング発生回路400で発生させるY転送開始パルス DY と Yクロック信号 Y

CKとのタイミングを容易に定めることができる。また、タイミング発生回路400から液晶パネルAAに単一相のYクロック信号YCKのみを供給すればよいから、配線の数を減らすことができ、さらに、信号駆動のために消費される電力を削減することができる。

【0075】

なお、この例は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0076】

<5：電子機器>

【0077】

次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。

【0078】

<5-1：プロジェクタ>

【0079】

まず、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。図9は、プロジェクタの構成例を示す平面図である。

【0080】

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106および2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110Bおよび1110Gに入射される。

【0081】

液晶パネル1110R、1110Bおよび1110Gの構成は、上述した液晶パネルAAと同等であり、画像信号処理回路（図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、RおよびBの光が90度に屈折する一方、Gの光が直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0082】

ここで、各液晶パネル1110R、1110Bおよび1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0083】

なお、液晶パネル1110R、1110Bおよび1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0084】

<5-2：モバイル型コンピュータ>

【0085】

次に、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図10は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル1005の背面にバックライトを付加することにより構成されている。

【0086】

<5-3：携帯電話>

【0087】

さらに、この液晶パネルを、携帯電話に適用した例について説明する。図11

は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302とともに、反射型の液晶パネル1005を備えるものである。この反射型の液晶パネル1005にあっては、必要に応じてその前面にフロントライトが設けられる。

【0088】

なお、図9～図11を参照して説明した電子機器の他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0089】

【発明の効果】

以上説明したように本発明によれば、基準信号に基づいて補正対象信号を補正し、基準信号はそのまま出力するから、入出力間の遅延時間を容易に見積もることができるのでタイミング調整回路を提供することが可能となる。

【図面の簡単な説明】

本発明に係る液晶パネルAAの全体構成を示すブロック図である。

【図1】 本発明に係るタイミング調整回路10の構成を示す回路図である。

【図2】 タイミング調整回路10の動作例を示すタイミングチャートである。

【図3】 タイミング調整回路10の他の動作例を示すタイミングチャートである。

【図4】 タイミング調整回路10の他の動作例を示すタイミングチャートである。

【図5】 タイミング調整回路10の他の動作例を示すタイミングチャートである。

【図6】 他の構成例であるタイミング調整回路20の回路図である。

【図7】 本発明に係る液晶装置の構成を示すブロック図である。

【図8】同装置のデータ線駆動回路200の構成を示すブロック図である。

【図9】 同液晶装置を適用した電子機器の一例たるビデオプロジェクタの断面図である。

【図10】 同液晶装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図11】 同液晶装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図12】 従来のタイミング調整回路の構成を示す回路図である。

【図13】 従来のタイミング調整回路の動作を示すタイミングチャートである。

【符号の説明】

2 ……走査線

3 ……データ線

6 ……画素電極

10、20 ……タイミング調整回路

11 …… NAND回路

12 ……ノア回路

50 …… TFT (スイッチング素子)

INV1～INV7 ……インバータ

Sa1～Sa n ……正サンプリング信号

Sb1～Sb n ……負サンプリング信号

200、200' ……データ線駆動回路

210 ……シフトレジスタ部

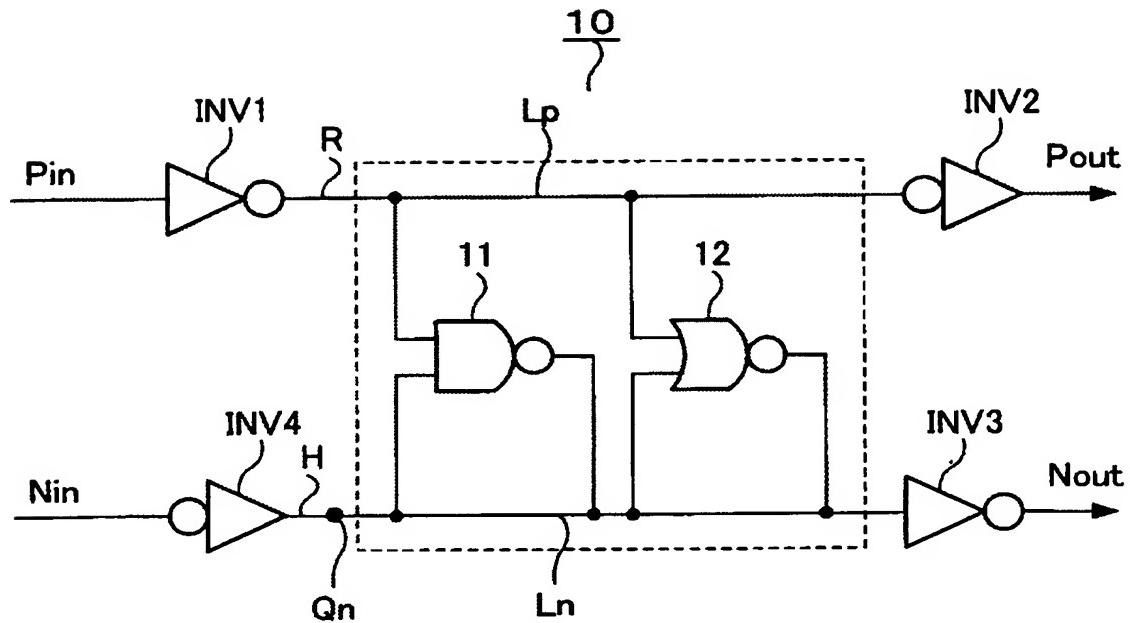
220 ……出力信号制御部

Ua1～Ua n + 2 ……シフトレジスタ単位回路

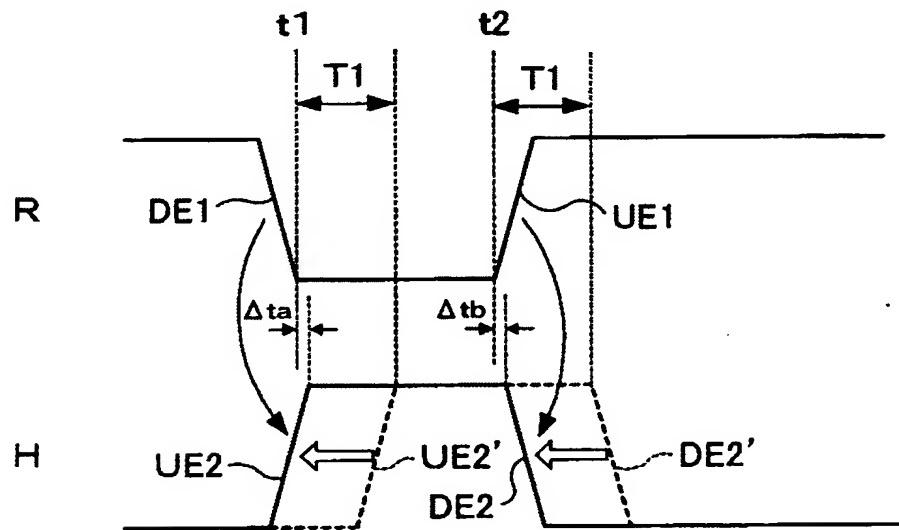
Ub1～Ub n + 1 ……演算単位回路

【書類名】図面

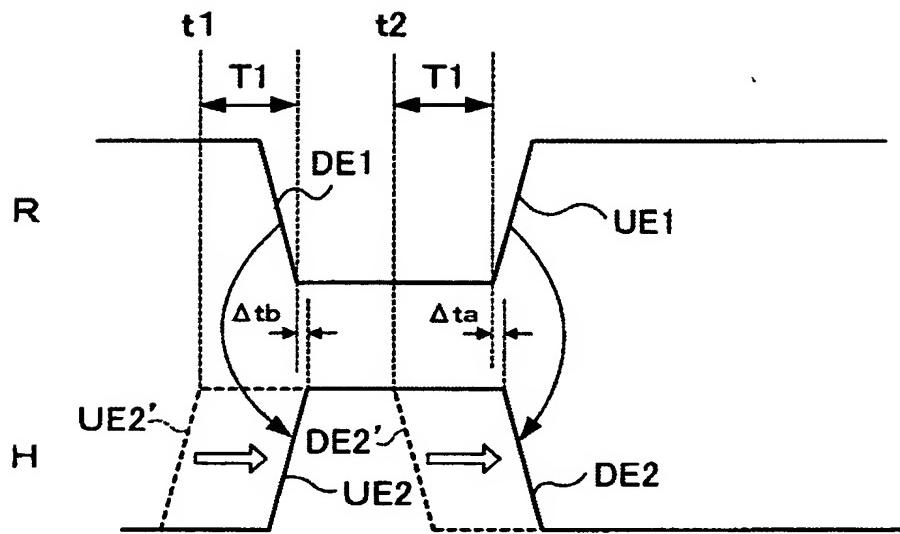
【図1】



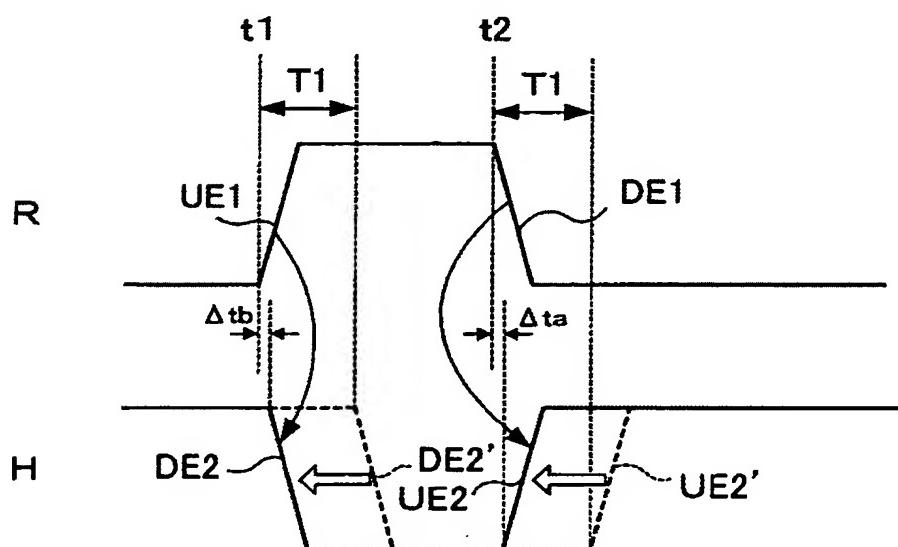
【図2】



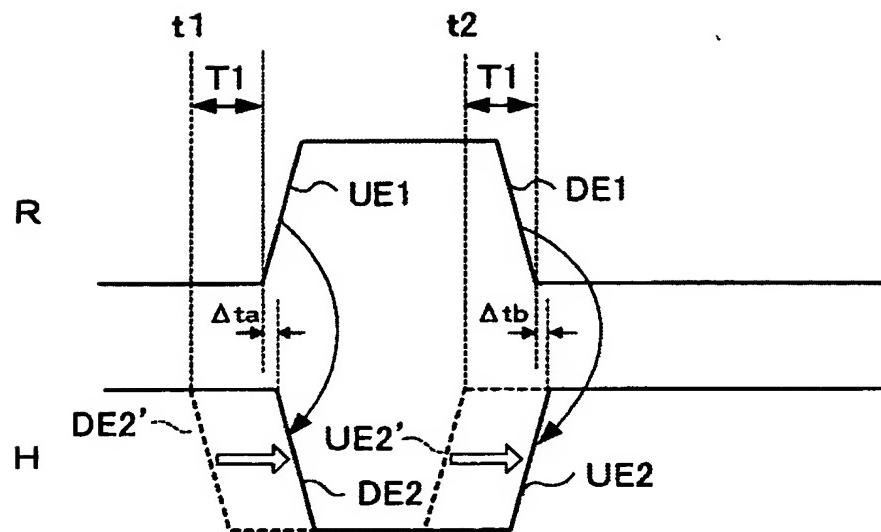
【図3】



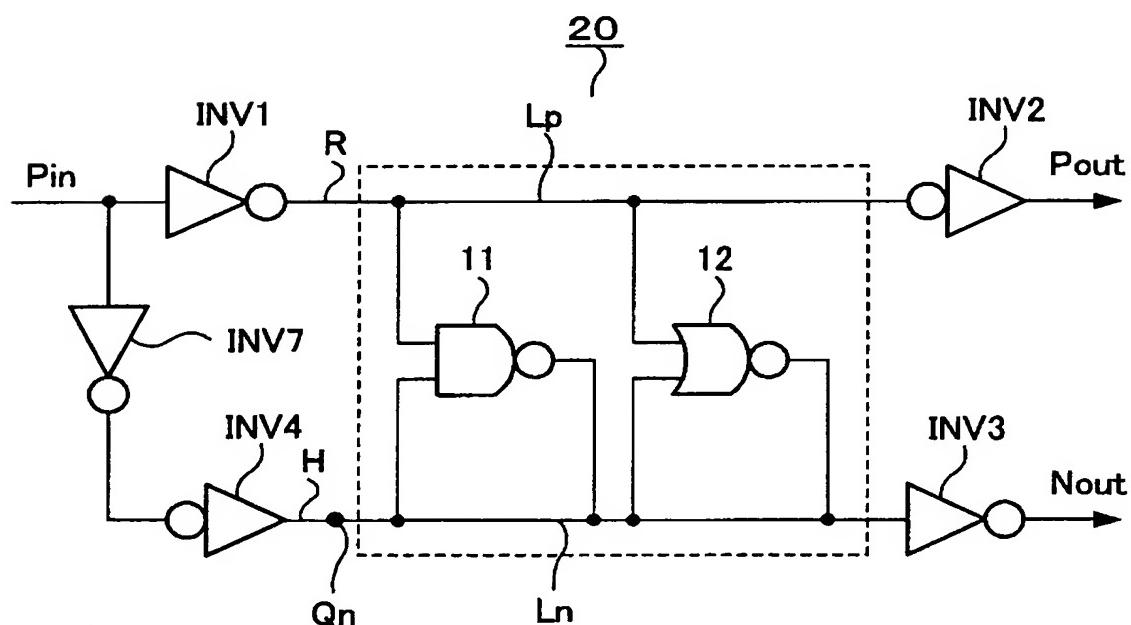
【図4】



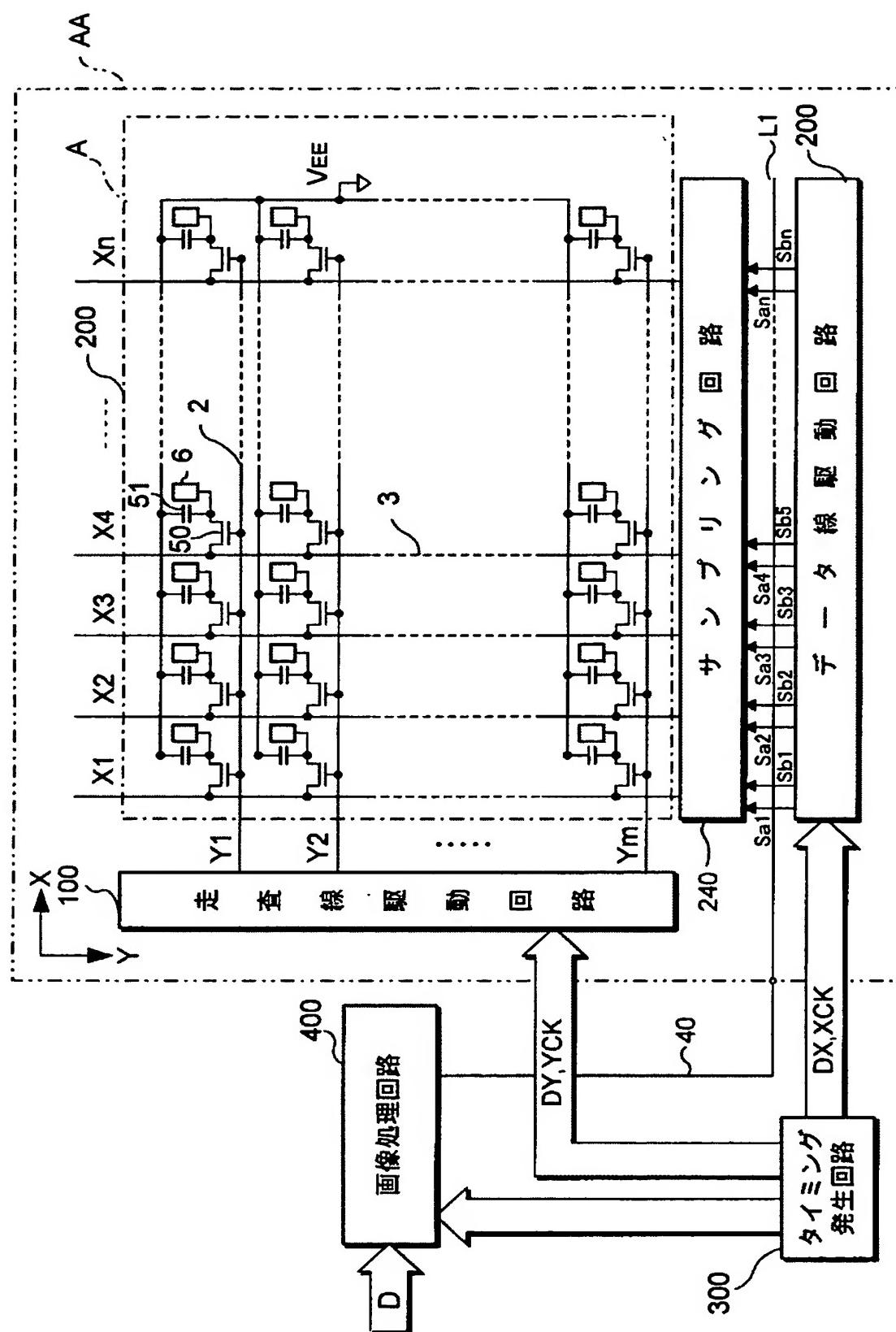
【図5】



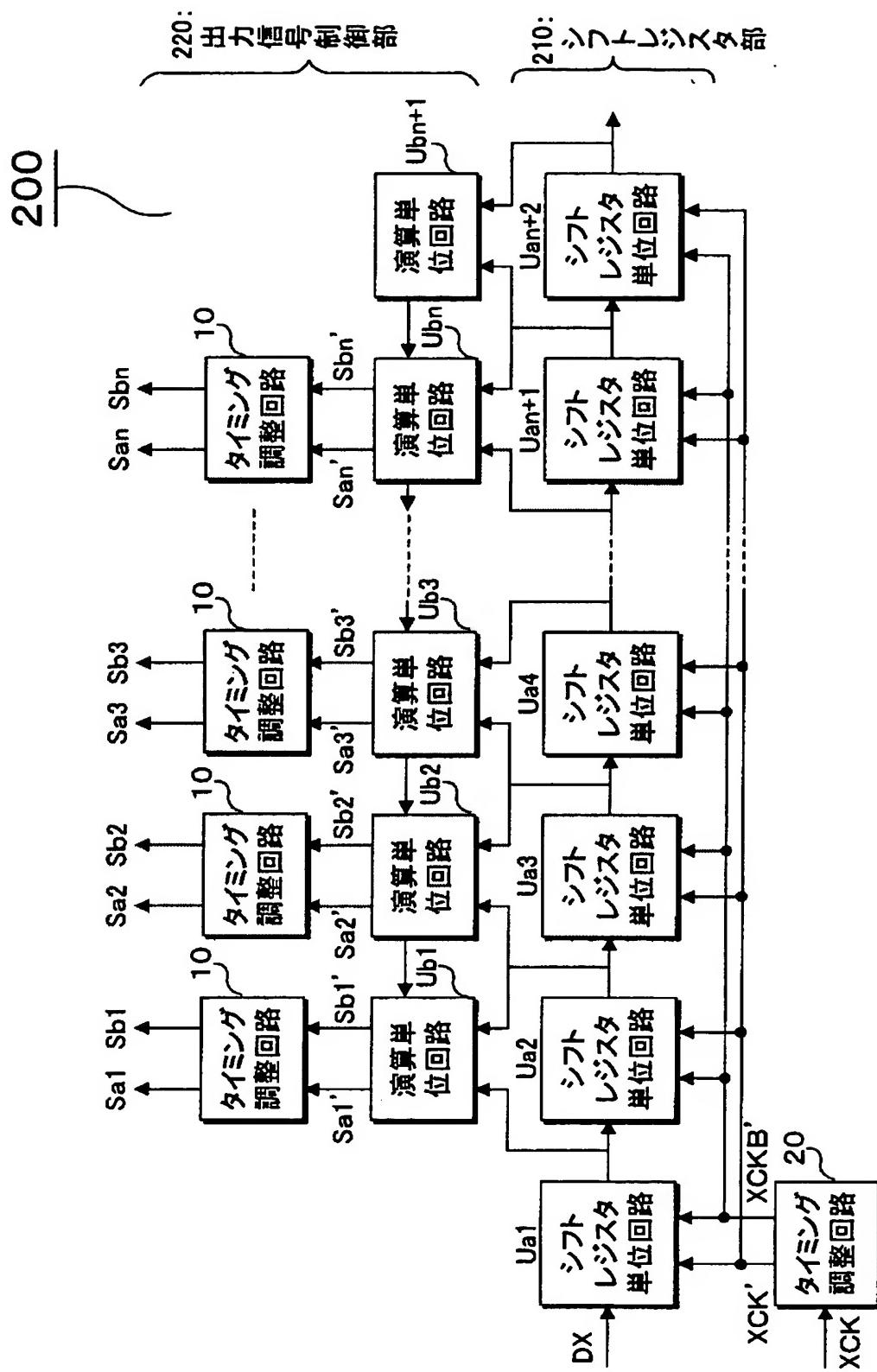
【図6】



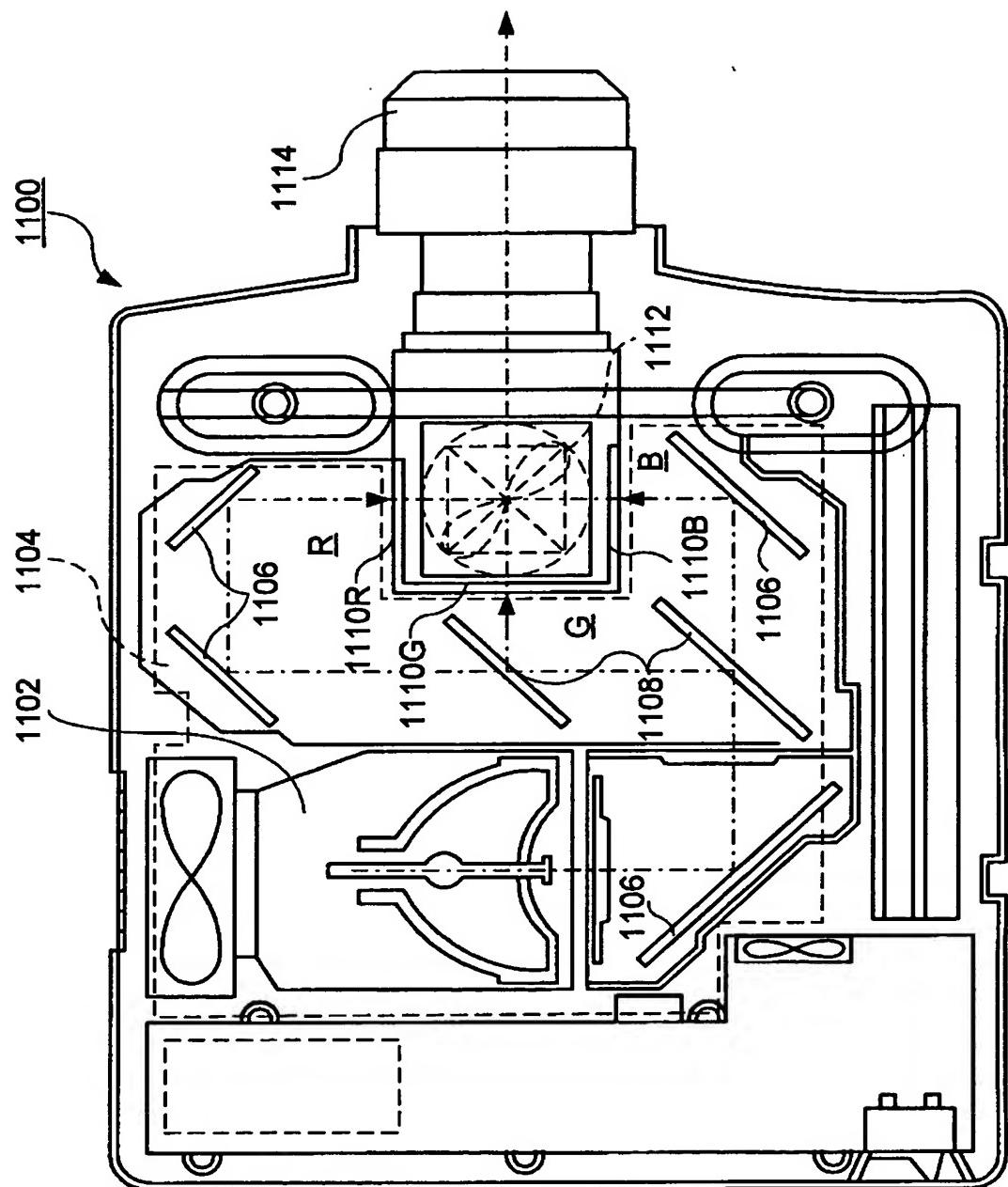
[図7]



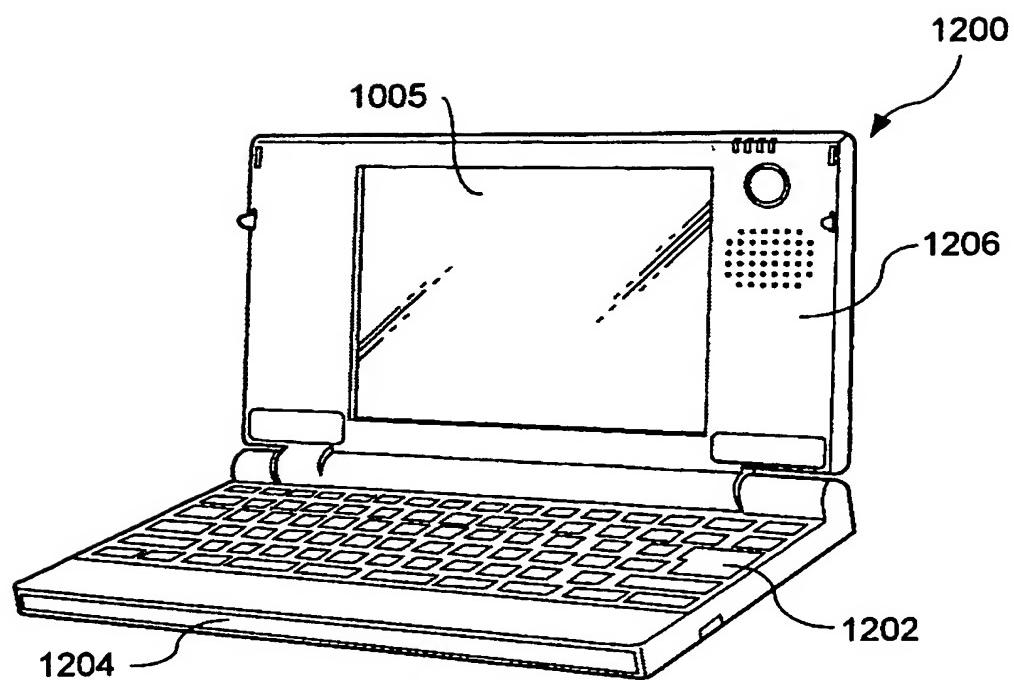
【図8】



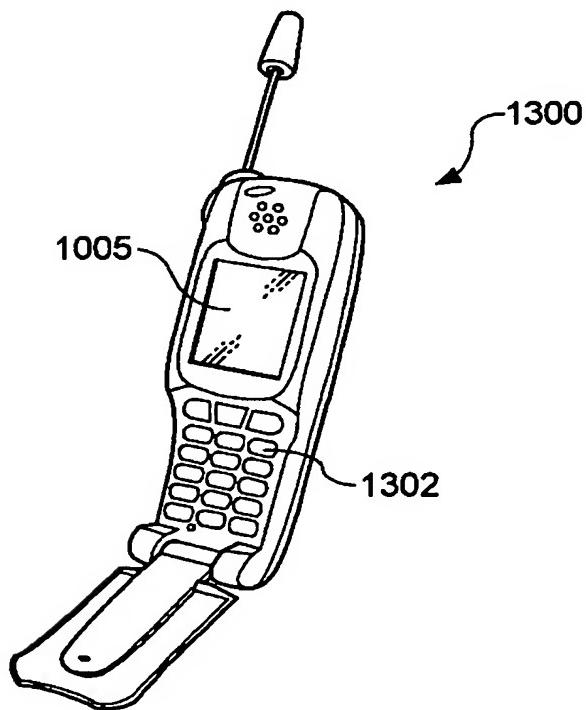
【図9】



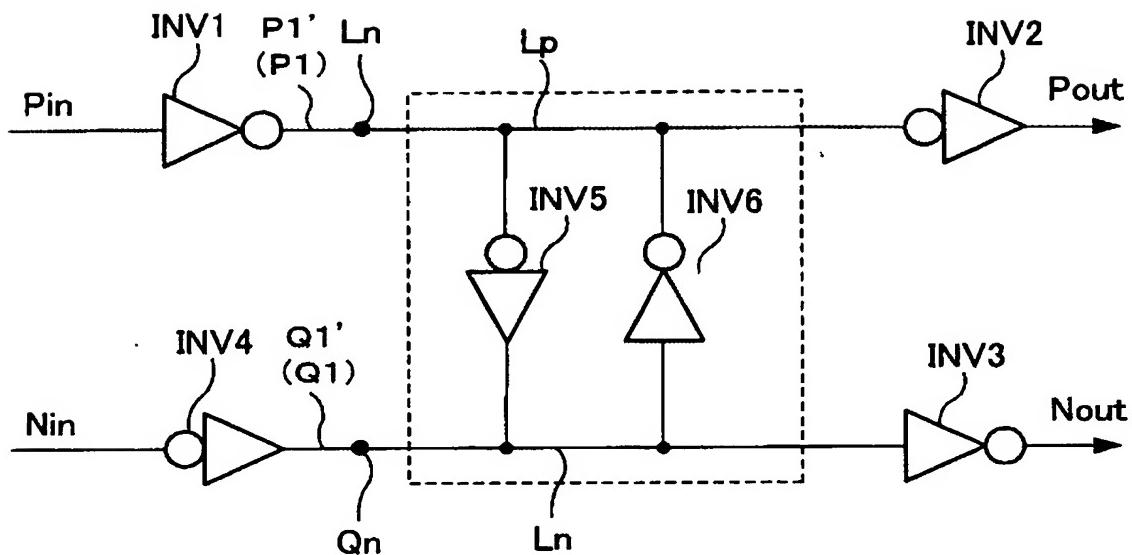
【図10】



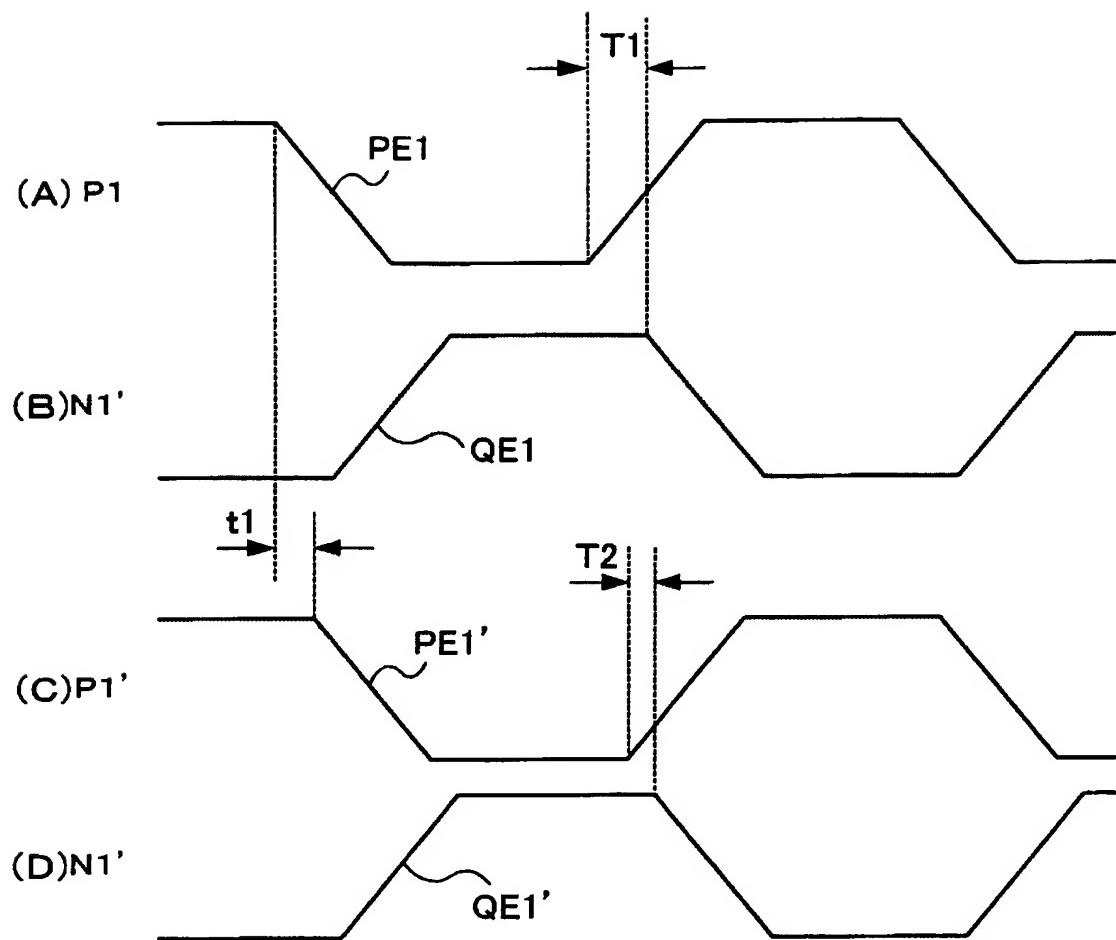
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 入出力間の遅延時間の見積を容易にする。

【解決手段】 インバータINV1およびINV4は、入力正論理信号Pinおよび入力負論理信号Ninに基づいて、基準信号Rおよび補正対象信号Hを生成する。基準信号Rは、配線Lpを介して伝送されるので、その過程において遅延を生ずることはない。一方、補正対象信号Hは、 NAND回路11およびノア回路12によって、基準信号Rの影響を受け、位相が補正される。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーホームズ株式会社